

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-297316

(43)Date of publication of application : 26.10.2001

(51)Int.CI.

G06K 19/07  
G06F 1/08  
G06F 12/00  
G06F 12/16

(21)Application number : 2000-112995

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.04.2000

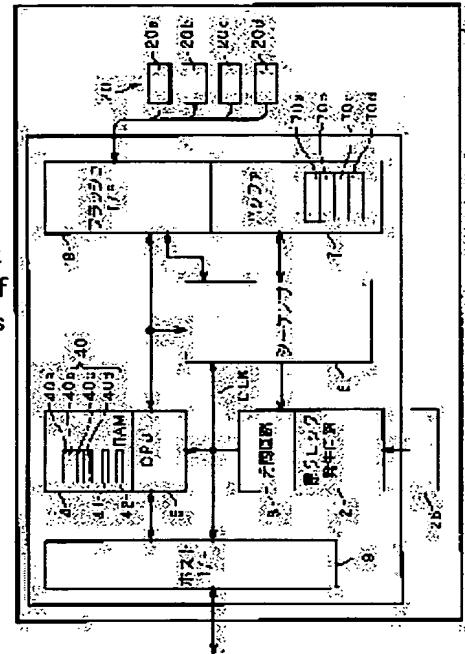
(72)Inventor : MITANI HIDENORI

## (54) MEMORY CARD AND CONTROL METHOD THEREFOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To make throughput or operating power variable by variously controlling the specification of a memory card corresponding to a use thereof.

**SOLUTION:** A controller 1 is provided with a source clock generating circuit 2 for generating a source clock on the basis of an oscillated signal provided from a crystal oscillator 25 and a frequency divider circuit 3 for generating a clock signal CLK from the source clock as it is or after dividing a frequency thereof. The frequency dividing ratio of frequency division to be executed by the frequency divider circuit 3 is determined while using a two-bit 80 in a frequency dividing register 41 provided in a RAM 4. For example, when the values of the two-bit 80 are '00', '01', '10' and '11', the frequency dividing ratios of 1, 1/2, 1/4 and 1/8 are set. When a host connected with a memory card 100 is equipment requesting the reduction of power consumption, the frequency dividing ratio is set to 1/8, for example, for lowering the operating frequency of the memory card 100.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection] **BEST AVAILABLE COPY**

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-297316

(P2001-297316A)

(43) 公開日 平成13年10月26日 (2001.10.26)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

G 06 K 19/07

G 06 F 12/00

5 6 4 A 5 B 0 1 8

G 06 F 1/08

12/16

3 1 0 G 5 B 0 3 5

12/00

5 6 4

G 06 K 19/00

N 5 B 0 6 0

12/16

3 1 0

G 06 F 1/04

3 2 0 A 5 B 0 7 9

審査請求 未請求 請求項の数10 O.L. (全 10 頁)

(21) 出願番号

特願2000-112995(P2000-112995)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日

平成12年4月14日 (2000.4.14)

(72) 発明者 三谷 秀徳

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム(参考) 5B018 GA04 KA12 NA06

5B035 AA05 BB09 CA13 CA29

5B060 CC03

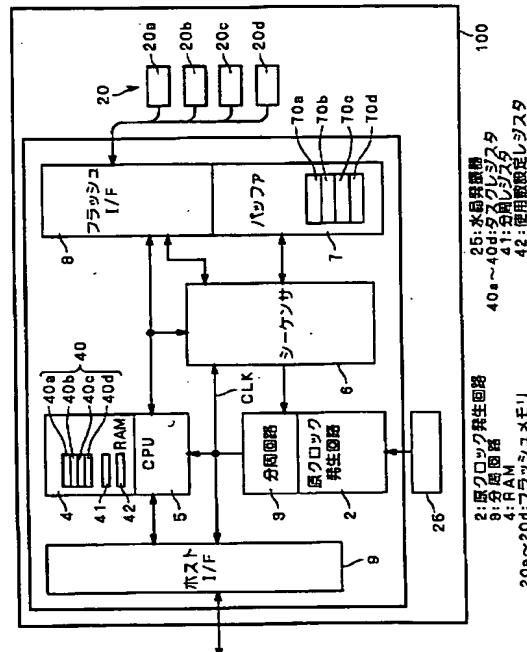
5B079 BA03 BB04 BC01 DD03 DD20

(54) 【発明の名称】 メモリカード及びその制御方法

(57) 【要約】

【課題】 メモリカードの仕様をその用途に合わせて種々に調整し、処理能力や動作電力を可変にする。

【解決手段】 コントローラ1には、水晶発信器25から得られた発信信号に基づいて原クロックを生成する原クロック発生回路2と、原クロックをそのまま、あるいは分周してクロック信号CLKを生成する分周回路3が備えられている。分周回路3が実行する分周の分周比は、RAM4に設けられる分周レジスタ41において、2ビット80を用いて設定される。例えば2ビット80の値がそれぞれ“00”、“01”、“10”、“11”であることに対して、1, 1/2, 1/4, 1/8の分周比が設定される。メモリカード100が接続されるホストが消費電力の低減を要求する機器であれば、メモリカード100の動作周波数を低下すべく、分周比を例えば1/8に設定する。



前記分周比を設定する分周レジスタを更に備える。

【0010】この発明のうち請求項4にかかるものはメモリカードであって、複数の記憶素子と、前記複数の記憶素子に書き込みが行われた物理アドレスを格納する、複数のタスクレジスタとを備える。

【0011】この発明のうち請求項5にかかるものは、請求項4記載のメモリカードであって、一の前記複数のタスクレジスタは、前記複数の記憶素子の少なくとも2つについての前記物理アドレスを交互に格納する。

【0012】この発明のうち請求項6にかかるものは、請求項4又は請求項5に記載のメモリカードであって、前記タスクレジスタに対応して設けられ、前記物理アドレスに書き込まれた書き込みデータを格納するデータレジスタを更に備える。

【0013】この発明のうち請求項7にかかるものは、少なくとも一つの記憶素子と、原クロックを生成する原クロック発生回路と、前記原クロックに基づいて前記記憶素子の動作周波数を規定するクロック信号を生成する分周回路とを備えるメモリカードを制御する方法であって、前記分周回路の分周比を可変に制御する。

【0014】この発明のうち請求項8にかかるものは、請求項7記載のメモリカードの制御方法であって、前記メモリカードに対して消費電流の設定が為されたことに対応して、前記分周比を設定する。

【0015】この発明のうち請求項9にかかるものは、複数の記憶素子と、前記複数の記憶素子に書き込みが行われた物理アドレスを格納する、複数のタスクレジスタとを備えるメモリカードを制御する方法である。そして、(a) 第1の前記記憶素子の書き込みの際に用いられた物理アドレスを第1の前記タスクレジスタに格納する工程と、(b) 第2の前記記憶素子に対する書き込みを行う工程と、(c) 前記工程(a)、(b)の後に、前記第1の記憶素子のステータスを確認する工程と、

(d) 前記工程(c)の結果がエラーであった場合に、前記第1のタスクレジスタに格納された前記物理アドレスを用いて再度の書き込みを行う工程とを備える。

【0016】この発明のうち請求項10にかかるものは、請求項9記載のメモリカードの制御方法であって、一の前記複数のタスクレジスタは、前記複数の記憶素子の少なくとも2つについての前記物理アドレスを交互に格納する。

【0017】

【発明の実施の形態】実施の形態1. 本実施の形態ではメモリカードの動作周波数を可変にする技術を示す。図1は本発明の実施の形態1にかかるメモリカード100の構成を示すブロック図である。メモリカード100は大別してフラッシュメモリ群20、コントローラ1、水晶発信器25から構成されている。もちろん、水晶発信器25はセラミックなど、水晶を用いない発信器に代替することができる。

【0018】フラッシュメモリ群20は少なくとも一つのフラッシュメモリから構成されており、本実施の形態では、4つのフラッシュメモリ20a、20b、20c、20dが備えられている場合が例示されている。

【0019】フラッシュメモリ20a～20dが複数あることや、それぞれに不良セクタが存在する場合もあるため、内部の物理アドレスは連続していない。そこでメモリカードでは、これをホスト側から見て連続したアドレス空間を構成する論理アドレスに変換するためのコントローラ1が設けられている。

【0020】コントローラ1は、これらの変換や、ホスト側からの要求に応じてフラッシュメモリの管理、制御を行うCPU(中央処理ユニット)5を備えている。コントローラ1は更に、メモリカード100が装備される対象となるホスト側とのインターフェース仕様を整合するためのホストインターフェース(ホストI/F)9、及びフラッシュメモリ群20側とのインターフェース仕様を整合するためのフラッシュインターフェース(フラッシュI/F)8も備えている。またコントローラ1には、CPU5からの命令に基づいて動作するシーケンサ6も備えられ、これにより、あるいはCPU4が直接に、フラッシュインターフェース8に対して処理を行う。

【0021】CPU5には、物理アドレスと論理アドレスとの対応を探る管理テーブルを格納するためのRAM4が付設されており、上記テーブルはメモリカード100を製造する工場の集荷時にファクトリフォーマットの一環として作成される。ファクトリフォーマットの実行は、管理テーブルの作成の他、ユーザ領域、代替領域の設定、FAT(File Allocation Table)なるファイルシステム用のアンフォーマット情報の作成、DOS(Disk Operating System)のフォーマットコマンドによるフォーマットの実行を含む。管理テーブルの作成、ユーザ領域、代替領域の設定は、コントローラ1の内部でCPU5がRAM4を用いたファームウェアとして実行し、フラッシュメモリ群20に格納する。

【0022】コントローラ1には、水晶発信器25から得られた発信信号に基づいて原クロックを生成する原クロック発生回路2と、原クロックをそのまま、あるいは40分周してクロック信号CLKを生成する分周回路3も備えられている。クロック信号CLKはCPU5、ホストインターフェース9やシーケンサ6に与えられ、これらの動作周波数、ひいてはフラッシュメモリ群20の動作周波数を規定する。

【0023】分周回路3が実行する分周の分周比は、RAM4において設定される。図2はRAM4に設けられる、分周比設定用の分周レジスタ41の内容を例示する図である。この分周レジスタ41の全ビット数はRAM4を使用する態様によって異なるものの、その内のNビット(N≥1)を使用して、分周比(分周しない場合、

て、「書き込み動作」との用語を使用する)が開始してから完了するまでには数m sの時間がかかるため、メモリカード100全体としての書き込み処理の速度を高めるべく、並列的な書き込み処理が行われる。並列的な書き込み処理は、例えば特開平5-120890号公報に開示されている。なお、読み出し処理は、各フラッシュメモリ毎に実行される。

【0036】例えばフラッシュメモリ20aに対してチップセレクト信号12aがアクティブに設定され、書き込み命令が実行されることによって第1の書き込みデータがフラッシュメモリ20aに書き込まれる。フラッシュメモリ20aは、書き込み動作を開始するとコントローラ1に対してビジ信号を与える。これに応答してコントローラ1はチップセレクト信号12aを非アクティブに設定する。

【0037】次にコントローラ1はチップセレクト信号12bをアクティブに設定し、書き込み命令を与えることによって、第1の書き込みデータに続く第2の書き込みデータがフラッシュメモリ20bに書き込まれる。

【0038】このような動作を繰り返し、第2のデータに続く第3の書き込みデータがフラッシュメモリ20cに書き込まれ、第3のデータに続く第4の書き込みデータがフラッシュメモリ20dに書き込まれると、第4のデータに続く第5の書き込みデータの書き込み処理の対象としてフラッシュメモリ20aが選択される。つまりチップセレクト信号12aがアクティブに設定される。

【0039】しかしフラッシュメモリ20aは既に第1のデータの書き込み動作を開始していたので、その書き込み動作が終了しているか否かを確認する必要がある。そのため、フラッシュメモリ20aに対する新たな書き込み命令を行う前に、フラッシュメモリ20aのステータスレジスタを確認する。ステータスにエラーが発生しないければ第1のデータの書き込み処理は完了している。しかしエラーが発生していた場合には第1のデータを再度フラッシュメモリ20aに書き込む必要がある。そして、このステータスの確認や再度の書き込み処理を書き込み命令毎に行っては、並列した書き込み処理を行うことができない。

【0040】そこで本実施の形態では、各フラッシュメモリ20a～20dに対する書き込み処理を一つのタスクとして扱う。これらフラッシュメモリの複数について一つのタスクを設定するため、図1に示されるRAM4にはフラッシュメモリ群20が備えるフラッシュメモリの数(ここでは4個)と同数のタスクレジスタが設定される。

【0041】図5はタスクレジスタ群40と、書き込み命令W<sub>m</sub>～W<sub>m+n</sub>(mは正整数)との関係を示す模式図である。タスクレジスタ群40はタスクレジスタ40a, 40b, 40c, 40dで構成される。また書き込み命令W<sub>m+n+1</sub>, W<sub>m+n+2</sub>, W<sub>m+n+3</sub>(nは正の整

数又は零)は、それぞれフラッシュメモリ20a, 20b, 20c, 20dに対する書き込み命令を表し、書き込み命令W<sub>m</sub>～W<sub>m+n</sub>はこの順に実行される。

【0042】ホストから書き込みが要求された(以下、ホストから要求された書き込みに対して「書き込み要求」との用語を使用する)コントローラ1は、論理アドレス、データを入力する。ホストから入力された論理アドレスは管理テーブルを用いて物理アドレスに変換される。以下では書き込み要求の最初の論理アドレスが、フラッシュメモリ20aに対応した物理アドレスに変換されるものとして説明を進める。

【0043】まず最初の論理アドレスと、これに対応する物理アドレスとがタスクレジスタ40aに格納される。そしてフラッシュメモリ群20に対して書き込み命令W<sub>m</sub>を与えて、フラッシュメモリ20aの書き込み動作が開始し、フラッシュメモリ20aはコントローラ1へビジ信号を出力する。同様にして、次に書き込むべきデータは書き込み命令W<sub>m+1</sub>によってフラッシュメモリ20bに書き込まれる。

【0044】(i) ホストからの書き込み要求が、フラッシュメモリ20a, 20bに対する一度のデータの書き込み処理で足りた場合: 書き込み命令W<sub>m+n</sub>が実行された後、書き込み処理が正常に終わっているか否かの確認が行われる。コントローラ1はタスクレジスタ40aから物理アドレスの値を読み出し、そのアドレスに相当するフラッシュメモリ、ここではフラッシュメモリ20aのステータスを確認する。ステータスがOKであれば、フラッシュメモリ20aの書き込み動作は完了しているので、コントローラ1はタスクレジスタ40bから物理アドレスの値を読み出す。そしてそのアドレスに相当するフラッシュメモリ20bのステータスを確認する。

【0045】以上のステータスの確認においてエラーが出た場合、タスクレジスタに格納された物理アドレスに対して再度書き込みを行う。フラッシュメモリのステータスの確認が行われた後は、このフラッシュメモリに対応するタスクレジスタに格納されているアドレスを消去する。

【0046】このような再度のデータの書き込みのため、バッファ7にはタスクレジスタに対応した数のデータレジスタが設けられる。例えばタスクレジスタ40a, 40b, 40c, 40dに対応してデータバッファ70a, 70b, 70c, 70dが設けられる。先の例ではフラッシュメモリ20aのステータスを確認した結果がエラーであれば、書き込み命令W<sub>m</sub>についての書き込みデータがデータバッファ70aから読み出される。

【0047】以上のようにして、タスクレジスタ40aには命令W<sub>m</sub>による書き込み処理において用いられた物理アドレスが格納されており、またデータバッファ70aには書き込みデータが格納されている。よってフラッ

リがフラッシュメモリ20cへと変更される。そして更にステップS22, S11, S12, S21が2回繰り返されたのち、ステップS22ではフラッシュメモリ20aに対応するタスクレジスタ40aに物理アドレスが格納されているか否かが判断される。既述のようにステップS10が実行されてからステータスの確認が行われなかつたので、タスクレジスタ40aには物理アドレスが格納されている。従つてステップS22の判断は初めてYESとなり、ステップS23へと進む。

【0057】ステップS23ではステップS13と同様にして、現在着目している、即ちタスクレジスタ40aに存在した物理アドレスに対応するフラッシュメモリ20aのステータスが確認される。ステータスがOKであればステップS11へと進み、フラッシュメモリへ20aへとデータを書き込む。一方、ステータスがエラーであればステップS24へと進み、ステップS14と同様にして、対応するデータレジスタに格納されたデータを再度書き込む。そしてステップS11へと戻つて、フラッシュメモリ20aに更に、新たなデータが書き込まれる。

【0058】実施の形態4、実施の形態3のように、フラッシュメモリ群20が有するフラッシュメモリ20a～20dの数と同数のタスクレジスタ40a～40d（上記の例では4個）を備えている場合でも、消費電力を抑制する制御を行うことができる。もしも消費電力を抑制する要求が存在すれば、例えばホストからの指示があれば、あるいはホストが処理能力よりも電力低減を指向する機器であるとCPU5が認識すれば、使用されるタスクレジスタの数が制限される。

【0059】図7は本実施の形態にかかるタスクレジスタ群40と、書き込み命令W<sub>1</sub>～W<sub>4</sub>との関係を示す模式図である。ここでも書き込み命令W<sub>1</sub>～W<sub>4</sub>は、それぞれフラッシュメモリ20a～20dに対する書き込み処理である。そしてホストからの要求された書き込み処理が、フラッシュメモリ20a, 20bに対する一度のデータの書き込みで足りない場合、例えば書き込み要求に対して少なくとも書き込み命令W<sub>1</sub>～W<sub>4</sub>が必要な場合が例示されている。

【0060】図7では実施の形態3に示された場合よりも消費電力を低減する場合を示しており、フラッシュメモリ20a, 20cにはタスクレジスタ40aが、フラッシュメモリ20b, 20dにはタスクレジスタ40bが、それぞれ対応して機能する。

【0061】書き込み命令W<sub>1</sub>が実行された後、実施の形態3と同様に、フラッシュメモリ20aのステータス確認を行うことなく、フラッシュメモリ20bへの書き込み処理を行う書き込み命令W<sub>2</sub>が実行される。そして書き込み命令W<sub>3</sub>が実行された後、フラッシュメモリ20bのステータス確認を行うことなく、フラッシュメモリ20cへの書き込み処理を行う書き込み命令W<sub>4</sub>

が実行される。

【0062】しかし、実施の形態3とは異なり、書き込み命令W<sub>1</sub>が実行されてから書き込み命令W<sub>2</sub>が実行される前に、コントローラ1はタスクレジスタ40aから物理アドレスの値を読み出し、この物理アドレスを有するフラッシュメモリ20aのステータスを確認する。書き込み命令W<sub>2</sub>を実行すると、書き込み命令W<sub>2</sub>についての物理アドレスがタスクレジスタ40aに格納され、書き込み命令W<sub>3</sub>についての物理アドレスが格納されなくなるからである。

【0063】フラッシュメモリ20aのステータスがエラーであるかOKであるかに対応して、それぞれ再度の書き込み処理の有無を経て、書き込み命令W<sub>2</sub>に基づいてフラッシュメモリ20cへの書き込み処理が行われる。そして書き込み命令W<sub>3</sub>についての物理アドレスは図5に示されたタスクレジスタ40cではなく、タスクレジスタ40aに格納される。つまりタスクレジスタ40aは対応するフラッシュメモリ20a, 20cに対して為される書き込み処理についての物理アドレスを、20 交互に格納することになる。

【0064】フラッシュメモリ20dへの書き込み処理を行う書き込み命令W<sub>4</sub>についても同様に、まずタスクレジスタ40bから物理アドレスの値を読み出し、フラッシュメモリ20bのステータスを確認する。そして必要に応じてフラッシュメモリ20bへの再度の書き込みを行つて、タスクレジスタ40bに書き込み命令W<sub>4</sub>についての物理アドレスを格納する。

【0065】更にフラッシュメモリ20aへの書き込み処理を行う書き込み命令W<sub>1</sub>についても同様に、まず30 タスクレジスタ40aから物理アドレスの値を読み出し、フラッシュメモリ20cのステータスを確認する。

【0066】上記の動作を行うことにより、機能するタスクレジスタ40a, 40bの数よりも多い数のフラッシュメモリに対して並列した書き込み処理を行えない。従つて、フラッシュメモリ群20において消費される電力を低減することができる。

【0067】なお、本実施の形態ではデータバッファ70aをフラッシュメモリ20a, 20cに対応して、データバッファ70bをフラッシュメモリ20c, 20dに対応して、それぞれ機能させることができる。物理アドレスを格納しないタスクバッファ40c, 40dに対応するデータバッファ70c, 70dにデータを格納しても、このデータは再度の書き込みには使用されないからである。

【0068】上記のタスクレジスタの使用数の設定は、実施の形態1と同様に、RAM4に使用数設定レジスタ42を設けておき、ドライブパラメータやファクトリファームアット時にそこにセットすることで可能となる。また使用数設定レジスタ42は分周レジスタ14とマージ50 する、例えば2ビット80よりも上位のビットを使用す

【0081】この発明のうち請求項6にかかるメモリカードによれば、既に書き込まれたデータをデータレジスタが格納しているので、再度の書き込みを行うことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の構成を示すブロック図である。

【図2】 分周レジスタの内容を例示する図である。

【図3】 本発明の実施の形態2の動作を示すフローチャートである。

【図4】 本発明の実施の形態3の動作を示すブロック図である。

【図5】 本発明の実施の形態3の動作を示す図である。

る。

【図6】 本発明の実施の形態3の動作を示すフローチャートである。

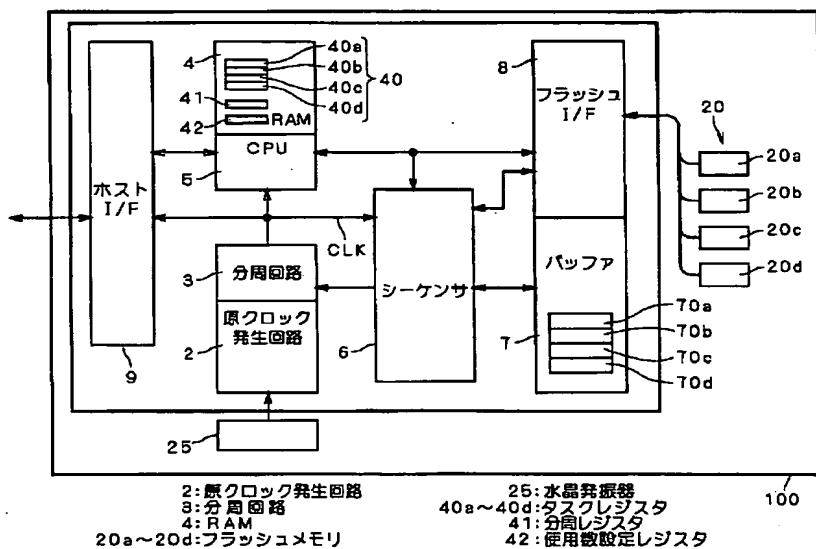
【図7】 本発明の実施の形態4の動作を示す図である。

【図8】 本発明の実施の形態4の動作を示すフローチャートである。

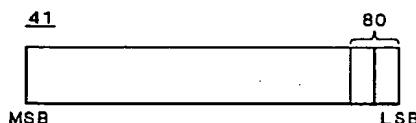
【符号の説明】

2 原クロック発生回路、3 分周回路、4 RAM、  
10 20a～20d フラッシュメモリ、25 水晶発振器、40a～40d タスクレジスタ、41 分周レジスタ、42 使用数設定レジスタ。

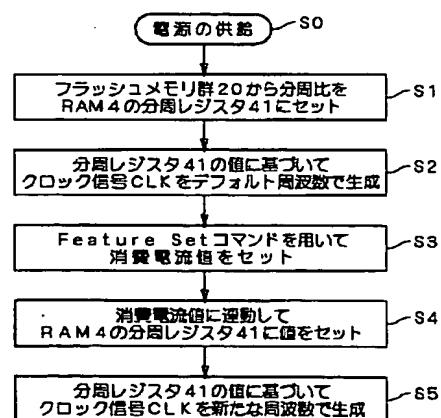
【図1】



【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**